

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010525157 **Image available**
WPI Acc No: 1996-022110/199603
XRPX Acc No: N96-018364

Electron beam generating device with several cold cathode elements - has cold cathode elements in matrix form on substrate, with wires for wiring matrix, generates drive signals for matrix

Patent Assignee: CANON KK (CANO)
Inventor: ASAI A; SUZUKI H; SUZUKI N; YAMANO A
Number of Countries: 023 Number of Patents: 018
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 686993	A1	19951213	EP 95303912	A	19950607	199603	B
AU 9520549	A	19960104	AU 9520549	A	19950607	199608	
CA 2151202	A	19951209	CA 2151202	A	19950607	199614	
JP 8248920	A	19960927	JP 95136986	A	19950602	199649	
JP 8248921	A	19960927	JP 95136987	A	19950602	199649	
CN 1125893	A	19960703	CN 95107352	A	19950608	199748	
US 5734361	A	19980331	US 95469680	A	19950606	199820	
EP 686993	B1	19981111	EP 95303912	A	19950607	199849	
DE 69505890	E	19981217	DE 605890	A	19950607	199905	
			EP 95303912	A	19950607		
AU 703968	B	19990401	AU 9520549	A	19950607	199925	
AU 9925010	A	19990701	AU 9520549	A	19950607	199937	
			AU 9925010	A	19990429		
KR 170470	B1	19990330	KR 9515043	A	19950608	200044	
CA 2151202	C	20010529	CA 2151202	A	19950607	200134	
AU 200165560	A	20011025	AU 9925010	A	19990429	200173	N
			AU 200165560	A	20010830		
JP 3311201	B2	20020805	JP 95136986	A	19950602	200258	
US 6580407	B1	20030617	US 95469680	A	19950606	200341	
			US 98496415	A	19980323		
CN 1441454	A	20030910	CN 95107352	A	19950608	200380	
			CN 2002157499	A	19950608		
AU 768835	B	20040108	AU 9925010	A	19990429	200412	N
			AU 200165560	A	20010830		

Priority Applications (No Type Date): JP 95136986 A 19950602; JP 94126386 A 19940608; JP 951226 A 19950109; JP 951227 A 19950109; AU 200165560 A 20010830

Cited Patents: EP 299461; EP 573754; EP 592201; EP 596242

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 686993	A1	E	55	H01J-031/12	
Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE					
AU 9520549	A			H01J-001/30	
CA 2151202	A			H01J-031/10	
JP 8248920	A		30	G09G-003/30	
JP 8248921	A		13	G09G-003/30	
CN 1125893	A			H01J-017/48	
US 5734361	A		51	G09G-003/22	
EP 686993	B1	E		H01J-031/12	
Designated States (Regional): AT BE CH DE DK ES FR GB GR IE IT LI LU MC NL PT SE					
DE 69505890	E			H01J-031/12	Based on patent EP 686993
AU 703968	B			H01J-001/30	Previous Publ. patent AU 9520549

AU 9925010	A	H01J-001/30	Div ex application AU 9520549 Div ex patent AU 703968
KR 170470	B1	G09G-001/00	
CA 2151202	C E	H01J-031/10	
AU 200165560	A	H04N-007/64	Div ex application AU 9925010
JP 3311201	B2	28 G09G-003/22	Previous Publ. patent JP 8248920
US 6580407	B1	G09G-003/22	Cont of application US 95469680 Cont of patent US 5734361
CN 1441454	A	H01J-017/48	Div ex application CN 95107352
AU 768835	B	H04N-007/64	Div ex application AU 9925010 Previous Publ. patent AU 200165560

Abstract (Basic): EP 686993 A

The generating device comprises several cold cathode elements (1002) arrayed in the form of rows and columns on a substrate. M number of row wires and n number of column wires (1004) for wiring the several cold cathode elements into a matrix are included. A drive signal generator (2101) generates signals to drive the elements.

The generator includes a statistic calculator (206) for performing a statistical calculation with regard to the externally entered electron beam demand values (5000). A correction value generator (207) generates correction values on the basis of the results of the calculations. A combining module (208) combines the externally entered electron beam demand values and correction values. The matrix wired elements are successively driven on the basis of the combined output value.

ADVANTAGE - It is unnecessary to calculate correction value whenever drive is performed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-248920

(43) 公開日 平成8年(1996)9月27日

(51) Int. Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/30	3 0 1	4237-5H	G 0 9 G 3/30	3 0 1
H 0 1 J 1/30			H 0 1 J 1/30	Z
	31/12			B
H 0 4 N 5/68			H 0 4 N 5/68	B

審査請求 未請求 請求項の数24 O L (全 30 頁)

(21) 出願番号 特願平7-136986

(22) 出願日 平成7年(1995)6月2日

(31) 優先権主張番号 特願平6-126386

(32) 優先日 平6(1994)6月8日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-1227

(32) 優先日 平7(1995)1月9日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-1226

(32) 優先日 平7(1995)1月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鈴木 朝岳

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 鐘 英俊

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 浅井 朗

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

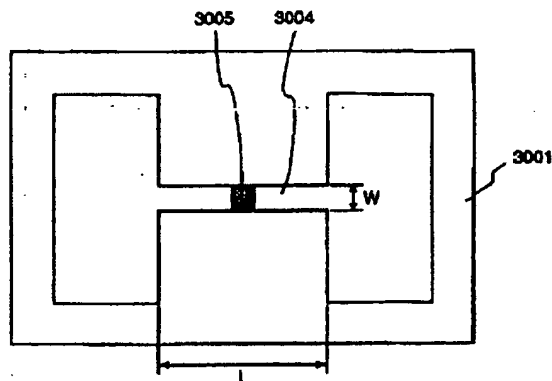
最終頁に続く

(54) 【発明の名称】 電子線発生方法とその装置、並びにその駆動方法、並びにそれを応用した画像形成方法とその装置

(57) 【要約】

【目的】 出力される電子ビームの強度が正確なマトリクス配線した冷陰極素子を備えるマルチ電子ビーム源とその駆動方法、また、表示輝度のずれを防止した画像表示装置を提供する。

【構成】 基板上にマトリクス状に配置させた複数の冷陰極素子(201)と、該複数の冷陰極素子をマトリクス配線するm本の行配線およびn本の列配線(201)と、該複数の冷陰極素子を駆動する信号を発生する駆動信号発生部とを備え、外部から入力される電子線要求値に応じて電子線を1行同時で出力する電子線発生装置において、前記駆動信号発生部は、前記電子線要求値の統計演算をする統計量演算部(206)と、前記統計量演算部の演算結果に基づいた補正値を発生させる補正値発生部(207)と、前記電子線要求値と前記補正値とを合成する合成部(208)と、前記合成手段の出力値に基づきマトリクス配線させた冷陰極素子を駆動する駆動部(209、202)とを有する。



【特許請求の範囲】

【請求項1】 基板上にマトリクス状に配置させた複数の冷陰極素子と、
該複数の冷陰極素子をマトリクス配線するm本の行配線およびn本の列配線と、該複数の冷陰極素子を駆動する信号を発生する駆動信号発生手段とを備え、
前記駆動信号発生手段は、前記電子線要求値の統計演算をする統計量演算手段と、
前記統計量演算手段の演算結果に基づいた補正値を発生させる補正値発生手段と、
前記電子線要求値と前記補正値とを合成する合成手段と、
前記合成手段の出力値に基づきマトリクス配線させた冷陰極素子を駆動する手段とを有することを特徴とする電子線発生装置。

【請求項2】 前記統計量演算手段は、外部から入力される電子線要求値に関して1行分の電子線要求値の総和を演算する手段を含むことを特徴とする請求項1に記載の電子線発生装置。

【請求項3】 前記補正値発生手段は、前記統計量演算手段の演算結果と冷陰極素子の出力特性に基づいて行配*

$$\begin{bmatrix} V1 \\ V2 \\ V3 \\ \vdots \\ Vn \end{bmatrix} = R_{x*} \cdot \begin{bmatrix} 1 & 1 & 1 & 1 & \dots & 1 \\ 1 & 2 & 2 & 2 & \dots & 2 \\ 1 & 2 & 3 & 3 & \dots & 3 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 1 & 2 & 3 & 4 & \dots & n \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix} + R_{a*}(I1+I2+\dots+In) + (R_{b+j*}R_y) \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix}$$

ここで、各パラメータの内容を以下に示す。

V1-Vn: j行目の1列-n列の各冷陰極素子に対する補正値

I1-In: 外部から入力される電子線要求値と冷陰極素子の電子放出特性に基づいて算出された1列-n列の各列配線に流すべき電流値

Ra: 行配線の取り出し部分の電気抵抗
I1+I2+...+In: 外部から入力される電子線要求値の1行分の総和(即ち、統計量演算手段の演算結果)

Rb: 行配線の取り出し部分の電気抵抗

rx: 行配線の冷陰極素子間の電気抵抗

ry: 列配線の冷陰極素子間の電気抵抗

n: 行列の総列数

j: 行番号

【請求項7】 前記補正値発生手段はf i l o回路(first in last out)および加算回路を含むことを特徴とする請求項6に記載の電子線発生装置。

【請求項8】 前記合成手段は、外部から入力された電子線要求値と補正値発生手段の発生する補正値とを加算もしくは乗算することを特徴とする請求項1に記載の電子線発生装置。

【請求項9】 前記外部から入力される電子線要求値は、画像情報に基づくものであることを特徴とする請求※50

*線および列配線に駆動時に流れる電流を計算し、配線抵抗による電気的な損失量を解析し、損失を補償するための補正値を決定して出力することを特徴とする請求項1に記載の電子線発生装置。

【請求項4】 前記補正値発生手段は、統計量演算手段の出力しうる演算結果のすべての場合についてあらかじめ決定された補正値を記憶したルックアップテーブルを含むことを特徴とする請求項1に記載の電子線発生装置。

10 【請求項5】 前記ルックアップテーブルにあらかじめ記憶された補正値は、前記統計量演算手段の出力しうる演算結果のすべての場合について、冷陰極素子の出力特性に基づいて行配線および列配線に駆動時に流れる電流を計算して配線抵抗による電気的な損失量をあらかじめ解析し、その結果に基づいてあらかじめ決定された補正値であることを特徴とする請求項4に記載の電子線発生装置。

【請求項6】 前記補正値発生手段は、以下の数式により算出した補正値V1-Vnを出力することを特徴とする請求項1に記載の電子線発生装置。

【数1】

※項1に記載の電子線発生装置。

30 【請求項10】 前記冷陰極素子は、表面伝導型放出素子であることを特徴とする請求項1に記載の電子線発生装置。

【請求項11】 請求項1~請求項10のいずれか一つに記載の電子線発生装置と、該電子線発生装置から出力される電子ビームの照射により画像を形成するための画像形成部材とを具備した画像形成装置。

【請求項12】 前記電子ビームの照射により画像を形成するための画像形成部材が蛍光体であることを特徴とする請求項11に記載の画像形成装置。

40 【請求項13】 m本の行配線およびn本の列配線によってマトリクス配線された、基板上にマトリクス状に配置された複数の冷陰極素子において、外部から入力される電子線要求値に応じて1行分の前記冷陰極素子から電子線を発生させる電子線発生方法であって、
前記電子線要求値の統計演算を行う統計量演算工程と、
前記統計量演算工程の演算結果に基づいた補正値を発生させる補正値発生工程と、
前記電子線要求値と前記補正値とを合成する合成工程と、
前記合成工程の出力値に基づき前記冷陰極素子を駆動する工程とを有することを特徴とする電子線発生方法。

【請求項14】 前記統計量演算工程は、外部から入力される電子線要求値に関して1行分の電子線要求値の総和を演算する工程を含むことを特徴とする請求項13に記載の電子線発生方法。

【請求項15】 前記補正值発生工程は、前記統計量演算工程の演算結果と冷陰極素子の出力特性に基づいて行配線および列配線に駆動時に流れる電流を計算し、配線抵抗による電気的な損失量を解析し、損失を補償するための補正量を決定して出力することを特徴とする請求項13に記載の電子線発生方法。

【請求項16】 前記補正值発生工程は、統計量演算工程の出力しうる演算結果のすべての場合についてあらかじめ決定された補正量を記憶したルックアップテーブルを含むことを特徴とする請求項13に記載の電子線発生方法。

$$\begin{bmatrix} V1 \\ V2 \\ V3 \\ \vdots \\ Vn \end{bmatrix} = R_x \cdot \begin{bmatrix} 1 & 1 & 1 & 1 & \dots & 1 \\ 1 & 2 & 2 & 2 & \dots & 2 \\ 1 & 2 & 3 & 3 & \dots & 3 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 1 & 2 & 3 & 4 & \dots & n \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix} + R_a \cdot (I1 + I2 + \dots + In) + (R_b + j \cdot R_y) \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix}$$

ここで、各パラメータの内容を以下に示す。

V1～Vn: j行目の1列～n列の各冷陰極素子に対する補正量

I1～In: 外部から入力される電子線要求値と冷陰極素子の電子放出特性に基づいて算出された1列～n列の各列配線に流すべき電流値

Ra: 行配線の取り出し部分の電気抵抗

I1+I2+...+In: 外部から入力される電子線要求値の1行分の総和(即ち、統計量演算手段の演算結果)

Rb: 行配線の取り出し部分の電気抵抗

rx: 行配線の冷陰極素子間の電気抵抗

ry: 列配線の冷陰極素子間の電気抵抗

n: 行列の総列数

j: 行番号

【請求項19】 前記補正值発生工程はfirst in last out)および加算回路を含むことを特徴とする請求項18に記載の電子線発生方法。

【請求項20】 前記合成工程は、外部から入力された電子線要求値と補正值発生工程の発生する補正値とを加算もしくは乗算することを特徴とする請求項13に記載の電子線発生方法。

【請求項21】 前記外部から入力される電子線要求値は画像情報に基づくものであることを特徴とする請求項13に記載の電子線発生方法。

【請求項22】 前記冷陰極素子は表面伝導型放出素子であることを特徴とする請求項13に記載の電子線発生方法。

【請求項23】 請求項1～請求項10のいずれか一つに記載の電子線発生方法の各工程と、該電子線発生方法に基づいて出力される電子ビームを画像形成部材に照射※50

*方法。

【請求項17】 前記ルックアップテーブルにあらかじめ記憶された補正量は、前記統計量演算工程の出力しうる演算結果のすべての場合について、冷陰極素子の出力特性に基づいて行配線および列配線に駆動時に流れる電流を計算して配線抵抗による電気的な損失量をあらかじめ解析し、その結果に基づいてあらかじめ決定された補正量であることを特徴とする請求項16に記載の電子線発生方法。

10 【請求項18】 前記補正值発生工程は、以下の数式により算出した補正量V1～Vnを出力することを特徴とする請求項13に記載の電子線発生方法。

【数1】

※して画像を形成する画像形成工程とを具備する画像形成方法。

【請求項24】 前記電子ビームの照射により画像を形成するための画像形成部材が蛍光体であることを特徴とする請求項23に記載の画像形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マトリクス配線された複数の冷陰極素子を備えた電子線発生方法とその装置、並びにその駆動方法に関する。さらに、本発明は、上記の電子線発生装置を応用した画像形成方法とその装置、特に、画像形成部材として蛍光体を用いた表示装置に関する。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の2種類が知られている。このうち冷陰極素子では、例えば電界放出型素子(以下、FE型と記す)や、金属/絶縁層/金属型放出素子(以下、MIM型と記す)などが知られている。表面伝導型放出素子としては、例えば、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

【0003】表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン等によるSnO2薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]や、In2O3/SnO2薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans ED Conf.", 519(1975)]

や、カーボン薄膜によるもの〔荒木久 他：真空、第26巻、第1号、22(1983)〕などが報告されている。

【0004】これらの表面伝導型放出素子の素子構成の典型的な例として、図1に、前述のM. Hartwell等による素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5~1[mm]、Wは0.1[mm]に設定されている。尚、図示の便宜から電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0005】M. Hartwell等による素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局部的に破壊もしくは変形もしくは変質せしめ、電気的に高低抵抗状態の電子放出部3005を形成することである。尚、局部的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミング後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0006】また、FE型の例は、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956)や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248(1976)などが知られている。

【0007】このFE型の素子構成の典型的な例としては、図2に、前述のC. A. Spindtらによる素子の断面図を示す。同図において、3010は基板で、3011は導電材料よりなるエミッタ配線、3012はエミッタコーン、3013は絶縁層、3014はゲート電極である。本素子は、エミッタコーン3012とゲート電極3014の間に適宜の電圧を印加することにより、エミッタコーン3012の先端部より電界放出を起させるものである。

【0008】また、FE型の他の素子構成として、図2のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

【0009】また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel emission Devices, J. Appl. Phys. 32, 646(1961)などが知られている。MIM型の素子構成の典型的な例を図3に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100オングストローム程度の薄い絶縁層、3023は厚さ80~300オングストローム程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起させるものである。

【0010】上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出素子を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶解などの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのと異なり、冷陰極素子の場合には応答速度が速いという利点もある。

【0011】このため、冷陰極素子を応用するための研究が盛んに行われている。

【0012】例えば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0013】また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0014】特に、画像表示装置への応用としては、例えば本出願人による米国特許USP5,066,883や特開平2-257551や特開平4-28137において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0015】また、FE型を多数個並べて駆動する方法は、例えば本出願人による米国特許USP4,904,895に開示されている。また、FE型を画像表示装置に応用した例として、例えば、R. Meyerらにより報告された平板型表示装置が知られている。[R. Meyer: "Recent Development on Microtips Display at LETI", Tech Digest of 4th Int. Vacuum Microelectronics Conf., Nagahara, pp. 6-9(1991)]。また、MIM型を多

数個並べて画像表示装置に応用した例は、例えば本出願人による特開平3-55738に開示されている。

【0016】

【発明が解決しようとする課題】このような状況で、本発明者らは、マルチ電子源について鋭意研究を行った。図4は、マルチ電子源の配線方法の一例を示す。図では、縦に m 層、横に n 個、で合計 $n \times m$ 個の冷陰極素子を2次的にマトリックス状に配列させている。図4で、3074は冷陰極素子、3072は行方向配線、3073は列方向配線、3075は行方向配線の配線抵抗、3076は列方向配線の配線抵抗を示す。 $D \times 1$ 、 $D \times 2 \dots D \times m$ は、行方向配線の給電端子を表す。また、 $Dy1$ 、 $Dy2$ 、 $\dots Dy n$ は、列方向配線の給電端子を表す。このような簡単な配線方法をマトリックス配線方法と読んでゐる。このマトリックス配線方法は、構造が単純なため、作製が容易である。

【0017】このマトリックス配線方法によるマルチ電子ビーム源を画像表示装置に応用する場合には、表示容量を確保するために、 m および n としては数百或はそれ以上の数が望まれる。そして、画像を正しい輝度で表示するために、各冷陰極素子から所望の強度の電子ビームを正確に出力可能なことが必要である。従来、マトリックス配線された多数の冷陰極素子を駆動する場合には、マトリックスの1行分の素子群を同時に駆動する方法が行われている。そして、駆動する行を次々と切り替えて全ての行を走査してゆく。この方法によれば、1素子ずつ順次に前素子を走査してゆく方法と比較して、各素子に割り当てられる駆動時間が n 倍長く確保されるため、表示装置の輝度を高くすることができる。

【0018】しかしながら、実際に上記の駆動方法でマトリックス配線されたマルチ電子ビーム源を駆動してみると、各冷陰極素子から出力される電子ビームの強度が所望の値からずれてしまうという問題があった。このため、表示画像の輝度にむらができたり変動したりしてしまい、画質が低下していた。この問題について、図5A～図7Bを用いて、より具体的に説明する。なお、図が複雑になるのを避けるため図5A～図7Bにおいては $m \times n$ 画素の中の1行分(n 画素)だけを抽出して示している。各画素は冷陰極素子と対応して設けられており、図の右側へゆくほど行配線3072の給電端子 Dx から遠い位置となる。説明の便宜上、輝度レベルを数値で表すものとし、最大値を255、最小値を0とし、その中間を1刻みで表すものとする。

【0019】まず、図5Aは、所望の表示パターンの一例を示したもので、一番右側の画素だけを輝度255で発光させたいということを示している。図5Bは、実際に冷陰極素子を駆動して表示した画像の輝度を測定して示したものである。図6Aは、所望の表示パターンの他の一例を示したもので、1行の左側の半分の画素群を非発光(輝度0)とし、右側の半分の画素群を輝度255

で発光させたいということを示している。図6Bは、実際に冷陰極素子を駆動して表示した画像の輝度を測定して示したものである。

【0020】また、図7Aは、所望の表示パターンの更に他の一例を示したもので、1行のすべての画素を輝度255で発光させるということを示している。図7Bは、実際に冷陰極素子を駆動して表示した画像の輝度を測定して示したものである。これらの例から明らかなように、実際に表示された画像の輝度は、所望の輝度からずれたものとなっている。しかも、たとえば図中の矢印Pで指し示す画素に着目すれば明らかなように、所望の輝度からのずれの大きさは必ずしも一定しないのである。

【0021】本発明は、上記従来例に鑑みてなされたもので、その目的とするところは、出力される電子ビームの強度が正確であるマトリックス配線した冷陰極素子を備えたマルチ電子ビーム源とその駆動方法、また、表示輝度のずれを防止した画像表示装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するために本発明の複数の冷陰極素子を備えた電子線発生装置、並びにその駆動方法、並びにそれに応用した画像形成装置は以下のような構成を備える。即ち、基板上にマトリックス状に配置させた複数の冷陰極素子と、該複数の冷陰極素子をマトリックス配線する m 本の行配線および n 本の列配線と、該複数の冷陰極素子を駆動する信号を発生する駆動信号発生手段とを備え、前記駆動信号発生手段は、前記電子線要求値の統計演算をする統計量演算手段と、前記統計量演算手段の演算結果に基づいた補正値を発生させる補正値発生手段と、前記電子線要求値と前記補正値とを合成する合成手段と、前記合成手段の出力値に基づきマトリックス配線させた冷陰極素子を駆動する手段とを備える。

【0023】また、別の発明は、前記電子線発生装置と、前記電子線発生装置から出力される電子ビームの照射により画像を形成するための画像形成部材とを備える。また、別の発明は、 m 本の行配線および n 本の列配線によってマトリックス配線された、基板上にマトリックス状に配置された複数の冷陰極素子において、外部から入力される電子線要求値に応じて1行分の前記冷陰極素子から電子線を発生させる電子線発生方法であって、前記電子線要求値の統計演算を行う統計量演算工程と、前記統計量演算工程の演算結果に基づいた補正値を発生させる補正値発生工程と、前記電子線要求値と前記補正値とを合成する合成工程と、前記合成工程の出力値に基づき前記冷陰極素子を駆動する工程とを備える。

【0024】また、別の発明は、前記電子線発生方法の各工程と、該電子線発生方法により出力される電子ビームを画像形成部材に照射して画像を形成する画像形成工

程とを備える。

【0025】

【作用】以上の構成において、基板上にマトリクス状に配置させた複数の冷陰極素子と、該複数の冷陰極素子をマトリクス配線するm本の行配線およびn本の列配線と、該複数の冷陰極素子を駆動する信号を発生する駆動信号発生手段とを備え、外部から入力される電子線要求値に応じて電子線を1行同時で出力する電子線発生装置であって、前記駆動信号発生手段は、前記電子線要求値の統計演算を行い、その演算結果に基づいた補正値を発生させ、前記電子線要求値と前記補正値とを合成し、その合成値に基づきマトリクス配線させた冷陰極素子を駆動する。

【0026】また、別の発明は、前記電子線発生装置が電子ビームを発生し、その電子ビームの照射を画像形成部材が受け、画像を形成する。また、別の発明は、m本の行配線およびn本の列配線によってマトリクス配線された、基板上にマトリクス状に配置された複数の冷陰極素子において、外部から入力される電子線要求値に応じて1行分の前記冷陰極素子から電子線を発生させる電子線発生方法であって、前記電子線要求値の統計演算を行い、前記統計演算結果に基づいた補正値を発生させ、前記電子線要求値と前記補正値とを合成し、前記合成値に基づき前記冷陰極素子を駆動する。

【0027】また、別の発明は、前記電子線発生方法の各工程の処理により、電子ビームを発生させ、発生した電子ビームを画像形成部材に照射して画像を形成する。

【0028】

【実施例】はじめに、以下に説明する各実施例でのポイントの幾つかを要約した後に、詳細な説明に移行する。本発明の目的の1つは、マトリクス配線した冷陰極素子を備えたマルチ電子ビーム源から出力される電子ビームの強度を正確なものとすることであり、さらには画像表示装置の表示輝度のずれを防止することである。

【0029】マトリクス配線された複数の冷陰極素子を1行同時に駆動する場合には、1行(=n素子)分の駆動電流が当該行の行配線に合流する。各冷陰極素子ごとに合流点が異なるため、1本の行配線には合計でn箇所の合流点がある。各冷陰極素子に流れる駆動電流は希望する電子線出力値に応じて異なるが、これらが別々の点で合流するため、行配線の各部に流れる電流は場所によって様ではない。したがって、行配線の各部の電気抵抗で生じる損失(電圧降下)も、場所によって様ではない。各冷陰極素子はこの損失の影響を受けるが、行方向配線との接続位置により影響の受け方は素子ごとに異なる。

【0030】ここで注意すべきなのは、ある冷陰極素子に影響を与える損失(電圧降下)には同一行の他の冷陰極素子の駆動電流が関与している点である。従来は、電気抵抗3075によって行配線の各部で生じた損失(電

圧降下)の影響により、冷陰極素子から出力される電子線は所望の強度からずれてしまっていたが、本発明に係る実施例によれば損失を予め解析して駆動信号の補正を行うため、出力される電子線の強度は所望の値からほとんどずれない。特に、当該行の全冷陰極素子の所望の出力強度を統計的に定量化することにより、行配線で生じる損失(電圧降下)を高い精度で解析するため、極めて正確な補正が可能となった。

【0031】すなわち、本実施例の装置は、基板上に行列状に配列された複数の冷陰極装置と、該複数の冷陰極素子をマトリクス配線するための行配線および列配線と、該複数の冷陰極素子を駆動するための信号を発生する駆動信号発生部とを備える電子線発生装置であって、前記駆動信号発生部は、外部から入力される電子線要求情報に関して統計的な演算をするための統計量演算部と、前記統計量演算部の演算結果にもとづいて補正値を発生する補正値発生部と、外部から入力された電子線要求値と補正値とを合成する合成部と、前記合成部の出力値に基づきマトリクス配線された冷陰極素子を1行ずつ順次駆動する駆動部を備えている。

【0032】また、本発明に係る一実施例の駆動方法は、基板上に行列状に配列された複数の冷陰極素子と、該複数の冷陰極素子をマトリクス配線するためのm本の行配線およびn本の列配線とを備えた電子線発生装置の駆動方法であって、外部から入力される電子線要求情報に関して統計的な演算をするための統計量演算段階と、前記統計量演算手段の演算結果にもとづいて補正値を発生する補正値発生段階と、外部から入力された電子線要求値と前記補正値とを合成する合成段階と、前記合成段階の合成結果に基づきマトリクス配線された冷陰極素子を1行ずつ順次駆動する駆動段階とを備える。

【0033】上記の装置または駆動方法によれば、電子線要求情報について統計的な演算を行い、その結果に基づいた補正を行うため、要求される電子線出力パターンが変更されても変更されたパターンに適した補正が行われる。また、本実施例の電子線発生装置においては、前記統計量演算部は、外部から入力される電子線要求情報に関して1行分の電子線要求値の総和を演算する演算部を備える。

【0034】また本実施例の駆動方法においては、前記統計量演算段階では、外部から入力される電子線要求情報に関して1行分の電子線要求値の総和を演算する。上記の装置または駆動方法によれば、1行分の電子線要求値の総和を知ることができるため、1行を同時に駆動する際の駆動電流の総和を知ることができる。このため、1行同時に駆動する際に、1行分の総和に応じた補正を行うことができる。

【0035】また、本実施例の電子線発生装置においては、前記補正値発生部は、前記統計量演算部の演算結果と冷陰極素子の出力特性にもとづいて行配線および列配

11

線に駆動時に流れる電流を計算し、配線抵抗による電気的な損失量を解析し、損失を補償するための補正量を決定して出力する。また、本発明の駆動方法においては、前記補正値発生段階では、前記統計量演算段階の演算結果と冷陰極素子の出力特性にもとづいて行配線および列配線に駆動時に流れる電流を計算し、配線抵抗による電気的な損失量を解析し、損失を補償するための補正量を決定して出力する。

【0036】上記の装置または駆動方法によれば、冷陰極素子の出力にもとづいて行配線および列配線に駆動時に流れる電流を計算し、配線抵抗による電気的な損失量（電圧降下）を解析することができる。したがって、電圧加工を補償するのに必要な補正電圧を正確に決定することができ、高精度に補正を行うことができる。また、本実施例の電子線発生装置においては、前記補正値発生部は、統計量演算部の出力しうる演算結果の全ての場合について予め決定された補正量を記憶したルックアップテーブルを含む。

【0037】また、前記ルックアップテーブルに予め記憶された補正量は、前記統計量演算部の出力しうる演算結果の全ての場合について、冷陰極素子の出力特性にもとづいて行配線および列配線に駆動時に流れる電流を計*

$$\begin{bmatrix} V1 \\ V2 \\ V3 \\ \vdots \\ Vn \end{bmatrix} = R_x \cdot \begin{bmatrix} 1 & 1 & 1 & 1 & \dots & 1 \\ 1 & 2 & 2 & 2 & \dots & 2 \\ 1 & 2 & 3 & 3 & \dots & 3 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 1 & 2 & 3 & 4 & \dots & n \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix} + R_{ax} \cdot (I1 + I2 + \dots + In) + (Rb + j \cdot ry) \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix}$$

【0041】ここで、各パラメータの内容を以下に示す。

V1-Vn: j行目の1列-n列の各冷陰極素子に対する補正量

I1-In: 外部から入力される電子線要求値と冷陰極素子の電子放出特性に基づいて算出された1列-n列の各列配線に流すべき電流値

Ra: 行配線の取り出し部分の電気抵抗

I1+I2+...+In: 外部から入力される電子線要求値の1行分の総和（即ち、統計量演算手段の演算結果）

Rb: 列配線の取り出し部分の電気抵抗

rx: 行配線の冷陰極素子間の電気抵抗

ry: 列配線の冷陰極素子間の電気抵抗

n: 行列の総列数

j: 行番号

上記の装置または駆動方法によれば、電子線要求値のあらゆる組み合わせに対して各冷陰極素子の最適な補正量を算出できるため、極めて高い精度で補正することができる。しかも、列配線の配線抵抗を数式のパラメータとして含むために、駆動する行を変えた場合にも、それに応じて最適な補正量が算出される。

【0042】また、本実施例の電子線発生装置において※50

12

*算して配線抵抗による電気的な損失量を予め解析し、その結果にもとづいて予め決定される。また、本発明による駆動方法においては、前記補正値発生段階では、前記統計量演算段階のありうる演算結果の全ての場合について予め決定された補正量を記憶したルックアップテーブルから補正量を読み出す。

【0038】また、前記ルックアップテーブルから読み出す補正量は、前記統計量演算段階のありうる演算結果の全ての場合について、冷陰極素子の出力特性にもとづいて行配線および列配線に駆動時に流れる電流を計算して配線抵抗による電気的な損失量を予め解析し、その結果にもとづいて予め決定される。上記の装置または駆動方法によれば、駆動するたびに補正値を計算する必要がないため、装置の動作を高速にできる。

【0039】また、本実施例の電子線発生装置においては、前記補正値発生部は、以下の数式により算出した補正量V1-Vnを出力する。また、本発明の駆動方法においては、前記補正値発生段階では、以下の数式により算出した補正量V1-Vnを出力する。

【0040】

【数1】

※は、前記補正値発生部は、F I L O回路(First In Last Out)および加算回路を含む。また、前記合成部は、外部から入力された電子線要求値と補正値発生部の発生する補正値とを加算もしくは乗算する。また、本実施例の駆動方法においては、前記補正値発生段階では、F I L O回路(First In Last Out)および加算回路を用いて演算する。

【0043】また、前記合成段階では、外部から入力された電子線要求値と補正値発生段階により発生された補正値とを加算もしくは乗算する。上記の装置または駆動方法によれば、簡易な回路構成で、正確にしかも高速に補正値を演算することが可能である。また、本実施例の電子線発生装置または駆動方法においては、外部から入力される電子線要求情報として画像情報を用いる。

【0044】上記の装置または駆動方法は、画像表示装置やプリンタや電子ビーム描画装置などの各種の画像形成装置に好適に用いることができる。また、本実施例の電子線発生装置においては、前記冷陰極素子として表面伝導型放出素子を用いる。上記の装置は、製造が簡単で、大面積のものも容易に作成することができる。

【0045】また本実施例の電子線発生装置と、該電子線発生装置から出力される電子ビームの照射により画像

を形成するための画像形成部材とを組み合せれば、高い画質の画像形成装置を提供できる。また前記の画像形成装置において、前記電子ビームの照射により画像を形成するための画像形成部材として蛍光体を用いれば、テレビジョンやコンピュータ端末などに適した画像表示装置が提供できる。

【0046】次に、図面を参照しながら、本発明に係る各実施例の詳細な説明を行う。

<第1実施例>本発明の第1実施例である画像表示装置、ならびにその駆動方法について詳細に説明する。まず最初に、電気回路の構成と動作について説明し、次に表示パネルの構造と製法を述べ、さらに、表示パネルの内蔵する冷陰極素子の構造と製法を説明する。

【0047】(電気回路の構成と動作) 図8は、電気回路の構成を示した回路図である。図において、201は表示パネル、202は走査回路、203は制御回路、204はシフトレジスタ、205はラッチ回路、206は合算器、207はメモリ、208は乗算器、209は変調信号発生器である。

【0048】表示パネル201の内部には、行列状に配列された複数の冷陰極素子が内蔵されている。Dx1~DxmとDy1~Dynは、それぞれマトリクス配線のm本の行配線とn本の列配線に付属する給電端子である。合算器206は本実施例の構成要素である統計量演算部の具体的な一例であり、メモリ207は補正値発生部の一例、乗算器208は合成部の一例、走査回路202と変調信号発生器209は1行ずつ順次駆動する駆動部の一例である。

【0049】尚、本実施例は画像表示装置であるので、外部から入力される画像信号を電子線要求情報(各冷陰極素子に要求される電子線出力に関する情報)として用いている。以下、各部の機能と動作手順についてさらに詳しく説明する。

【0050】図8において、前述したように表示パネル201は、給電端子Dx1からDxm、Dy1からDy nを介して外部回路と接続されている。また、蛍光体に給電するための端子Hvは、外部の高圧電源Vaに接続され、電子線を加速するようになっている。このうち端子Dx1からDxmには、前述の表示パネル201内に設けられているマルチ電子ビーム源、即ち、m行n列にマトリクス配線された冷陰極素子群を1行ずつ順次駆動してゆくための走査信号が走査回路202より印加される。一方、端子Dy1からDy nには、前記走査信号により選択された一行の冷陰極素子の各素子の出力電子ビームを制御するための変調信号が変調信号発生器209より印加される。

【0051】次に、走査回路202について説明する。この走査回路202は、内部にm個のスイッチング素子を備えるもので、各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V](グランドレベル)のいずれか一方を選択し、表示パネル201の端子Dx1ない

しDxmと電氣的に接続するが、実際には例えばFETの様なスイッチング素子を組み合わせることにより容易に構成することが可能である。尚、直流電圧源Vxの出力電圧は、冷陰極素子の特性(電子放出閾値電圧)に基づき、走査されていない行の素子に印加される駆動電圧が電子放出の閾値電圧以下となるように設定されている。

【0052】また、制御回路203は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる働きを持つものである。次に説明する同期信号Tsyncに基づいて、各部に対してTscan及びTsft及びTmry及びTaddの各制御信号を発生する。ここで同期信号Tsyncは、良く知られるように垂直同期信号と水平同期信号よりなるが、ここでは説明の便宜上、Tsync信号として図示した。一方、デジタル映像信号(輝度成分)はシフトレジスタ204に入力される。このシフトレジスタ204は、時系列的にシリアルに入力される前記デジタル信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路203より送られる制御信号Tsftに基づいて動作する。即ち、制御信号Tsftは、シフトレジスタ204に入力するデジタル映像信号を順次シフトさせる同期信号としてのシフトクロックである。こうしてシフトレジスタ204によりシリアル/パラレル変換された1ライン分(電子放出素子n素子分の駆動データに相当する)の画像データは、IdlないしIdnのn個の並列信号としてシフトレジスタ204より出力される。

【0053】205はラッチ回路で、1ライン分の画像データを必要な時間だけ保持するもので、制御回路203より送られる制御信号TmryによりIdlないしIdnの内容をラッチしている。こうしてラッチ回路205に記憶された内容は、I'dlないしI'dnとして出力され乗算器208に入力される。

【0054】206は合算器で、画像の1ライン分の輝度を合算演算する。即ち、合算器206は制御回路203から合算器206に送られるクロックTaddに同期して1ライン毎にデジタル映像信号の輝度データの合算を行い、1ラインの終わりでリセットされる。これにより1ラインの合計値が補正率選定メモリ207に出力される。補正率選定メモリ207は、合算器206よりの合算値に応じたアドレスに、その合算値に対応する補正率データを予め記憶している。従って、合算器206より入力されたアドレス(合算値)に対して、即座に対応する補正率データを読み出して乗算器208に出力することができる。

【0055】ここで、この補正率選定メモリ207に記憶されている補正率データの計算方法の一例を図9A-図9C、及び、図10A-図10Cを参照して説明する。

【0056】いま、1ライン分の輝度合算値をI totalとし、表示パネル201における1行分の冷陰極素子数

を n とすると、1素子当たりの輝度信号の平均値(I_{avg1})は、

$$I_{avg1} = I_{total1} / n$$

で表せる。

【0057】説明を簡単にするため、輝度信号(グレーレベル)が全て I_{avg1} と等しい場合を想定すると、配線での電圧降下を考慮すれば、この時に生じる電圧分布は図9Aに示す通りとなる。そして、対応する電子放出量の分布は図9Bのように予測され、これは補正を行わない場合の輝度分布と等価なものとなる。そこでこれを一定の輝度になるように補正するための補正率は図9Cに示した値になり、この値を乗算器208により輝度成分信号 $I'd1 \sim I'dn$ に掛け合わせることで補正が可能になる。

【0058】次に、 I_{total1} よりも小さい合算値 I_{total2} が入力されたときは同様に、予測される電圧分布は図10Aに示す通りであり、図9Aで示す I_{total1} に比べて小さくなっている。これに起因する電子放出量の分布は図10Bのように予測され、これに必要な補正率は図10Cに示す通りである。このような補正率をありえる全ての合算値について予め計算してメモリ207に記憶しておくことにより、画像信号に応じた補正が可能になる。

【0059】乗算器208は、メモリ207から読み出された補正率と、ラッチ回路205から出力される輝度信号 $I'd1$ から $I'dn$ との乗算を行なうもので、例えば論理素子などで構成され、補正後の信号として $I'd1 \sim I'dn$ が変調信号発生器209に出力される。

【0060】こうして乗算器208により補正率が乗算された画像信号 $I'd1$ から $I'dn$ が変調信号発生器209に出力される。変調信号発生器209は、これら $I'd1 \sim I'dn$ の各々に応じて、冷陰極素子の各々を適切に駆動するために変調を行ない、その出力信号は、端子 $Dy1$ ないし Dyn を通じて、表示パネル201内の冷陰極素子に印加される。尚、本実施例に関わる冷陰極素子は放出電流 I_e に対して以下の基本特性を有している。即ち、図24の I_e のグラフ図から明らかなように、電子放出には明確な閾値電圧 V_{th} (本実施例の素子では8

[V])があり、 V_{th} 以上の電圧が印加された時のみ電子放出が生じる。

【0061】また、電子放出閾値以上の電圧に対しては、図24に示すように、電圧の変化に応じて放出電流も変化する。尚、電子放出素子の材料や構成、製造方法を変えることにより、電子放出閾値電圧 V_{th} の値や、印加電圧に対する放出電流の変化の度合を変えることができる。

【0062】図11A-図11Bは、冷陰極素子の電子放出制御信号の一例を示す図で、図11Aは本素子に電子放出のための閾値電圧(8V)以下のパルス状の電圧を印加した場合であり、この場合、電子放出は生じな

い。しかし、電子放出閾値電圧(8V)以上のパルス状の電圧を印加する場合には、電子ビームが出力される。その際、パルスの波高値 V_m を変化させることにより、出力電子ビームの強度を制御することが可能である。この場合、変調信号発生器209としては一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路が採用されている。

【0063】また、パルス幅 P_w を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。この場合には、変調信号発生器209としては、一定の波高値の電圧パルスを発生するが、入力されるデータに対応してパルス幅 P_w を変調するパルス幅変調方式の回路を採用すればよい。

【0064】尚、この実施例では、補正データを求めるために原画像の統計量を1ラインの輝度の総和としたが、本発明はこれに限定されるものでなく、例えばこの総和を1行の冷陰極素子数で割った平均値としてもよい。

【0065】また本実施例では、入力する映像信号としては、データ処理がより容易であるデジタル映像信号を用いたが、これはデジタル映像信号に限定されることなくアナログ映像信号であってもよい。

【0066】また、本実施例では、シリアル/パラレル変換処理にデジタル信号の処理が容易なシフトレジスタ204を採用しているが、本発明はこれに限定されるものでなく、例えば格納アドレスを制御することで格納アドレスを順次変える、シフトレジスタと等価な機能を持つ、例えばランダムアクセスメモリを用いてもよい。

【0067】また、補正値を元の映像信号と演算する手段として、本実施例においては乗算器を採用したがこれに限定されるものではない。例えば、補正値を率ではなく量で計算した場合には、デジタル加算器を採用すればよい。即ち、補正値の計算方法に対応して回路を決定すればよい。

【0068】尚、本実施例の表示パネルでは、給電端子をパネルの2つの面に配置したが、図12A-図12Bに示すように、3面配置や、交互配置などの他の配置方法についても同様に補正値を計算し補償することが可能であり、限定されるものではない。本実施例によれば、前記図5A-図7Bで説明した従来の場合と比較して、所望の輝度と実際に表示された個度とのずれを著しく低減する効果が得られた。図13A-図13B、図14A-図14B、図15A-図15Bは、これを示すための図である。比較を容易にするため、前記図5A、図6A、図7Aと同一の輝度を所望した場合について、実際に表示された輝度を図13B、図14B、図15Bに示した。尚、評価を行うにあたっては、前記図5B、図6B、図7Bに示した評価を行ったのと同一構造の電子線源を用い、その中の同一の行を選んで測定した。

17

【0069】図から明かなように、本発明によれば、表示される輝度を従来と比較してはるかに正確にすることが可能であった。しかも、矢印Pで示す画素に注目すればあきらかなように、所望の表示パターンを変更しても、それによる輝度の変動を小さくできる効果があった。

【0070】(表示パネルの構成と製造法)次に、第1実施例の画像表示装置の表示パネル201の構成と製造方法について、具体的な例を示して説明する。

【0071】図16は、実施例に用いた表示パネルの斜視図であり、その内部構造を示すためにパネルの1部を切り欠いて示している。

【0072】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。この気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。次に、気密容器内部を真空中に排気する方法については後述する。

【0073】リアプレート1005には、基板1001が固定されているが、この基板1001上には冷陰極素子1002が $m \times n$ 個形成されている(m, n は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $n=3000, m=1000$ 以上の数を設定することが望ましい。本実施例においては、 $n=3072, m=1024$ としている)。これら $n \times m$ 個の冷陰極素子は、 m 本の行方向配線1003と、 n 本の列方向配線1004とにより、マトリクス配線されている。これら1003～1004によって構成される部分を、マルチ電子ビーム源と呼ぶ。なお、マルチ電子ビーム源の製造方法や構造については、後で詳しく述べる。

【0074】本実施例においては、気密容器のリアプレート1005にマルチ電子ビーム源の基板1001を固定する構成としたが、マルチ電子ビーム源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1001自体を用いてもよい。

【0075】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施例はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青の3原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図17Aに示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には、黒色の導電体1010が設けられている。これら黒色の導電体1010を設ける目的は、電子

18

ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子ビームによる蛍光膜のチャージアップを防止するためなどである。尚、黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【0076】また、3原色の蛍光体の塗り分け方は図17Aに示したストライプ状の配列に限られるものではなく、例えば図17Bに示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光体1008に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0077】また、蛍光体1008の面には、CRTの分野では公知のメタルバック1009を設けてある。このメタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜1008を保護するためや、例えば、10KVの電子ビーム加速電圧を印加させるための電極として作用させるためや、更には蛍光膜1008を励起した電子の導電路として作用させるためなどである。このメタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化処理し、その上にアルミニウムを真空蒸着することにより形成した。尚、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

【0078】また、本実施例では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えば、ITOを材料とする透明電極を設けてもよい。

【0079】また、 $Dx1 \sim Dx_m$ および $Dy1 \sim Dy_n$ および Hv は、当該表示パネルと電気回路とを電気的に接続するために設けた気密構造の給電端子である。 $Dx1 \sim Dx_m$ は、マルチ電子ビーム源の行方向配線1003と、 $Dy1 \sim Dy_n$ はマルチ電子ビーム源の列方向配線1004と、 Hv はフェースプレートのメタルバック1009と電気的に接続している。

【0080】また、気密容器内部を真空中に排気するには、このように気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に、気密容器内の所定の位置にゲッター膜(不図示)を形成する。このゲッター膜とは、例えば、Baを主成分とするゲッター材料を、ヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、このゲッター膜の吸着作用により気密容器内は 1×10 マイナス5乗ないしは 1×10 マイナス7乗[torr]

rr]の真空度に維持される。

【0081】以上、本発明の一実施例の表示パネルの基本構成と製法を説明した。

【0082】次に、本実施例の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本実施例の画像表示装置に用いるマルチ電子ビーム源は、冷陰極素子を単純マトリクス配線した電子源であれば、冷陰極素子の材料や形状あるいは製法に制限はない。従って、例えば表面伝導型放出素子やFE型、或はMIM型等の冷陰極素子を用いることができる。

【0083】ただし、表示画面が大きく、しかも安価な表示装置が求められる状況のもとでは、これらの冷陰極素子の中でも表面伝導型放出素子が特に好ましい。即ち、FE型ではエミッタコーンとゲート電極の相対位置や形状が電子放出特性を大きく左右するため、極めて高精度の製造技術が必要とするが、これは大面積化や製造コストの低減を達成するには不利な要因となる。またMIM型では、絶縁層と上電極の膜厚を薄くしても均一にする必要があるが、これも大面積化や製造コストの低減を達成するには不利な要因となる。その点、表面伝導型放出素子は比較的製造方法が単純なため、大面積化や製造コストの低減が容易である。また、本願発明者等は、表面伝導型放出素子の中でも、電子放出部もしくはその周辺部を微粒子膜から形成したものがとりわけ電子放出特性に優れ、しかも製造が容易に行えることを見出している。従って、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、最も好適であると言える。そこで、上記実施例の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子をマトリクス配線したマルチ電子ビーム源の構造について述べる。

<表面伝導型放出素子の好適な素子構成とその製法>電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

<平面型の表面伝導型放出素子>まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図18A-図18Bに示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(図18A)、及びその断面図(図18B)である。

【0084】図において、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。ここで、基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、或は上述の各種基板上に例えばSiO₂を材料とする絶縁層を積層した基板、

などを用いることができる。

【0085】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、或はこれらの金属の合金、あるいはIn₂O₃-SnO₂を初めとする金属酸化物、ポリシリコンなどの半導体などの中から適宜材料を選択して用いればよい。電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(例えば印刷技術)を用いて形成してもさしつかえない。

【0086】素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜決定される。一般的には、電極間隔Lは数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは、数マイクロメータより数十マイクロメータまでの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数百マイクロメータの範囲から適当な数値が選ばれる。

【0087】また、導電性薄膜1104の部分には微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜(島状の集合体も含む)のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なりあった構造が観測される。

【0088】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、なかでも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102あるいは1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲の中で設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0089】また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pbなどをはじめとする金属や、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃などをはじめとする酸化物や、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, GdB₄などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WCなどをはじめとする炭化物や、TiN, ZrN, Hf

21

Nなどをはじめとする窒化物や、Si、Geなどをはじめとする半導体や、カーボンなどがあげられ、これらの中から適宜選択される。

【0090】以上述べたように、導電性薄膜1104を微粒子膜で形成したのが、そのシート抵抗値については、10の3乗から10の7乗[オーム/□]の範囲に含まれるよう設定した。

【0091】なお、導電性薄膜1104と素子電極1102及び1103とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極の順で積層してもさしつかえない。

【0092】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図18A及び図18Bにおいては模式的に示した。

【0093】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500[オングストローム]以下とするが、300[オングストローム]以下とするのがさらに好ましい。

【0094】なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図18A及び図18Bにおいては模式的に示した。また、図18Aの平面図においては、薄膜1113の一部を除去した素子を図示した。

【0095】以上、好ましい素子の基本構成を述べたが、実施例においては以下のような素子を用いた。即ち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000[オングストローム]、電極間隔Lは2[マイクロメータ]とした。

【0096】微粒子膜の主要材料としてPdもしくはPd₂Oを用い、微粒子膜の厚さは約100[オングストローム]、幅Wは100[マイクロメータ]とした。

【0097】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

【0098】図19A-図19Eは、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記

22

は前記図18と同一である。

(1) まず、図19Aに示すように、基板1101上に素子電極1102及び1103を形成する。これら素子電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる(堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ-エッチング技術を用いてパターニングし、図19Aに示した一对の素子電極(1102と1103)を形成する。

(2) 次に、図19Bに示すように、導電性薄膜1104を生成する。

【0099】形成にあたっては、まず図19Aの基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ-エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である(具体的には、本実施例では主要元素としてPdを用いた。また、実施例では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい)。

【0100】また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施例で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは科学的気相堆積法などを用いる場合もある。

(3) 次に、図19Cに示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0101】通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性膜のうち電子放出を行うのに好適な構造に変化した部分(即ち電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前の状態と比較すると、亀裂が形成された後は、素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0102】通電方法をより詳しく説明するために、図20に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施例の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値V_{pf}を、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスP_mを適宜の間隔で三角波パ

23

ルスの間に挿入し、その際に流れる電流を、図22に示す電流計1111で計測した。

【0103】本実施例では、例えば10のマイナス5乗〔torr〕程度の真空雰囲気下において、例えばパルス幅T1を1〔ミリ秒〕、パルス間隔T2を10〔ミリ秒〕とし、波高値Vpfを1パルス毎に0.1〔V〕ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割合で、モニタパルスPmを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧Vpmは0.1〔V〕に設定した。そして、素子電極1102と1103の間の電気抵抗が 1×10 の6乗〔オーム〕になった段階、即ちモニタパルス印加時に電流計1111で計測される電流が 1×10 のマイナス7乗〔A〕以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0104】なお、上記の方法は、本実施例の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜圧、或は素子電極間隔L等表面伝導型放出素子の設計を偏向した場合には、それに応じて通電の条件を適宜偏向するのが望ましい。

(4) 次に、図19Dで示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

【0105】通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである(図22においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した)。尚、通電活性化処理を行うことにより、この活性化処理を行う前と比較して、同じ印加電圧における放出電流を、典型的には100倍以上に増加させることができる。具体的には、10のマイナス4乗ないし10のマイナス5乗〔torr〕の範囲内の真空雰囲気中で電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、膜厚は500〔オングストローム〕以下、より好ましくは300

【0106】この通電方法をより詳しく説明するために、図21Aに、活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施例においては、一定電圧の矩形波を矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧Vacは14〔V〕、パルス幅T3は1〔ミリ秒〕、パルス間隔T4は10〔ミリ秒〕とした。尚、上述の通電条件は、本実施例の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、そ

24

れに応じて条件を適宜変更するのが望ましい。

【0107】図19Dに示す1114は、表面伝導型放出素子から放出される放出電流Ieを補足するためのアノード電極で、この電極1114には直流高電圧電源1115及び電流計1116が接続されている(なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114として用いる)。

【0108】活性化用電源1112から電圧を印加する間、電流計1116で放出電流Ieを計測して通電活性化処理の進行状況をモニタし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流Ieの一例を、図21Bに示すが、活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流Ieは増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流Ieがほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0109】なお、上述の通電条件は、本実施例の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0110】以上説明したようにして、図19Eに示す平面型の表面伝導型放出素子を製造した。

<垂直型の表面伝導型放出素子>次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、即ち垂直型の表面伝導型放出素子の構成について説明する。

【0111】図22は、垂直型の基本構成を説明するための模式的な断面図であり、図中の1201は基板、1202と1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理により形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0112】垂直型素子が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。従って、前記図19の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高Lsとして設計される。なお、基板1201、素子電極1202及び1203、微粒子膜を用いた導電性薄膜1204については、前記平面型の説明中に挙げた材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO2のような電気的に絶縁性の材料を用いる。

【0113】次に、垂直型の表面伝導型放出素子の製法について説明する。図23A-図23Fは、本実施例の垂直型電子放出素子の製造工程を説明するための断面図で、各部材の表記は図26と同一である。

25

(1) まず、図23Aに示すように、基板1201上に素子電極1203を形成する。

(2) 図23Bに示すように、段差形成部材1206を形成するための絶縁層を積層する。この絶縁層は、例えばSiO₂をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

(3) 図23Cに示すように、絶縁層の上に素子電極1202を形成する。

(4) 次に、図23Dに示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

(5) 次に、図23Eに示すように、微粒子膜を用いた導電性薄膜1204を形成する。この薄膜1204を形成するには、前記平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

(6) 次に、前述の平面型の場合と同じく、通電フォーミング処理を行って電子放出部を形成する(図19Cを用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

(7) 次に、前述の平面型の場合と同じく、通電活性化処理を行い、電子放出部の近傍に炭素もしくは炭素化合物を堆積させる(図19Dを用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0114】以上のようにして、図23Fに示す垂直型の表面伝導型放出素子を製造した。

<表示装置に用いた表面伝導型放出素子の特性>以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0115】図24に、表示装置に用いた素子の、(放出電流I_e)対(素子印加電圧V_f)特性、及び(素子電流I_f)対(素子印加電圧V_f)特性の典型的な例を示す。なお、放出電流I_eは素子電流I_fに比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0116】この表示装置に用いた素子は、放出電流I_eに関して以下に述べる3つの特性を有している。

【0117】第1に、ある電圧(これを閾値電圧V_{th}と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流I_eが増加するが、一方、閾値電圧V_{th}未満の電圧では放出電流I_eはほとんど検出されない、即ち、放出電流I_eに関して、明確な閾値電圧V_{th}を持った非線形素子である。

【0118】第2に、放出電流I_eは素子に印加する電圧V_fに依存して変化するため、電圧V_fで放出電流I_eの大きさを制御できる。

【0119】第3に、素子に印加する電圧V_fに対して素子から放出される電流I_eの応答速度が速いため、電

26

圧V_fを印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0120】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば、多数の素子を表示画像の画素に対応して設けた表示装置において、第1の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧V_{th}以上の電圧を適宜印加し、非選択状態の素子には閾値電圧V_{th}未満の電圧を印加する。駆動する素子を順次切り替えることにより、表示画面を順次走査して表示を行うことが可能である。また、第2の特性か、または第3の特性を利用することにより、発光輝度を制御することができるため、階調表示を行うことが可能である。

<多数素子をマトリクス配線したマルチ電子ビーム源の構造>次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【0121】図25に示すのは、図16の表示パネルに用いたマルチ電子ビーム源の平面図である。基板1001上には、図18で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004によりマトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0122】図25のA-A'に沿った断面を、図26に示す。尚、このような構造のマルチ電子源は、予め基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、及び表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003及び列方向配線電極1004を介して各素子に給電して、通電フォーミング処理と通電活性化処理を行うことにより製造した。

[第2実施例]次に本発明の第2実施例を説明する。

【0123】第1実施例においては、各行(Dx1からDxm)に対して等しい補正率により補正を行っていた。しかし、厳密には、列方向配線抵抗の影響により列方向の給電端子に近い行と遠い行では、電圧分布が異なる。そのため、これを改善するには、各行ごとに異なる補正を行う必要がある。第2実施例は、この観点に基づき提供される。

【0124】第2実施例における冷陰極素子および表示パネルの構造については、第1実施例と同様である。そこで、第2の実施例の主題である画像表示装置の駆動方法および補正方法について焦点を当てて、以下、図27を参照して説明する。

【0125】図27の201は表示パネルで、第1実施例で説明したものと同様のものである。

【0126】また、走査回路202、制御回路203、

27

シフトレジスタ204、ラッチ回路205も、第1実施例において説明したものと同一である。更に、合算器206は、第1実施例において説明したものと同一である。ラインカウンタ210は、第2実施例において新しく追加されるもので、Tscan信号クロックをカウントして走査回路202がどの行を選択しているかを計数するものである。

【0127】次に、補正方法について説明する。合算器206は、第1実施例において説明した通り、1行分の輝度信号を合計し、これをメモリ207のアドレスとして出力するものであるが、このアドレスは、メモリ207の下位ビット（例えば8ビット）を構成する。これに対して、ラインカウンタ210はメモリ207に対してアドレスを出力するが、これは上位ビット（例えば、表示パネル201の行配線が1024本だとすれば10ビット）を構成する。これら、上位、下位ビットによってメモリ207のフルアドレス（例えば18ビット）が決定される。つまり、上位アドレスにて行を選択し、下位アドレスにて各行の合計輝度に対する補正値を選択することになる。

【0128】次に、図28A-図28Cを用いて、メモリ207に記憶させる補正率について説明する。ある1行に対する補正率の設定方法は、基本的には第1実施例と同様であるが、ある合算値I totalが入力された時、行番号（行配線の番号）によって補正率がどのように違うかを示したのが図28Cである。行番号1に対して（列配線の給電端子に一番近い側）は、列配線の抵抗による影響は小さいため電圧分布は図28Aの曲線になる。従って、補正をしない場合の電子放出量は、図28Bに示すように予測されるため、これを補償するための補正率は図28Cのように決定される。一方、行番号1024においては、列配線の抵抗による影響が大きい為、異なる補正率が決定される。このように、全ての輝度合算値に対して各行の補正率を計算して、メモリ207に記憶させることによって各行毎に輝度に対する補正が可能になる。

【0129】以上説明したように、電子放出量の分布を補正することによって、輝度分布の少ない高品位な画像表示装置が得られる。

【0130】また、本実施例において、補正率を1画素単位で決定したが、この場合が最もよい補正結果が得られている。本実施例によれば、前記図5A-図7Bで説明した従来の場合と比較して、所望の輝度と実際に表示された輝度とのずれを著しく低減する効果が得られた。図29A-図29C、図30A-図30C、図31A-図31Cは、これを示すための図である。比較を容易にするために、前記図5A、図6A、図7Aと同一輝度を所望した場合について、実際に表示された行番号1の輝

28

度を図29B、図30B、図31Bに示した。また、実際に表示された行番号1024の輝度を図29C、図30C、図31Cに示した。尚、評価を行うにあたっては、前記図5B、図6B、図7Bに示した評価を行ったのと同じ構造の電子源を用いた表示パネルを選んで測定した。

【0131】図から明らかなように、本発明によれば、表示される輝度を従来と比較してはるかに正確にすることが可能になった。しかも、矢印pで示す画素に変動を小さくできる効果があった。なおかつ、特に本実施例においては、異なる行の間のばらつきを大幅に低減することが可能となった。

【第3実施例】次に、本発明の第3実施例を図面を参照しながら説明する。

【0132】まず最初に、補正値を決定するための演算方法について説明し、次に、第3実施例の電気回路の構成と動作を説明する。

（補正値の演算方法）刃汚染抵抗で発生する損失（電圧降下）を補正する補正値（補正電圧）を算出する方法について説明する。尚、以下に説明する演算方法は、第1実施例や第2実施例で補正率を決定した際にも応用した。

【0133】例えば、図32に示す各素子にかかる電圧は、配線に流れる電流量に応じて電圧降下する。尚、図32は、m行目の冷陰極素子の全て（D1-Dn）を駆動する場合、即ち、m行目の画素を全て点灯させるような画像の場合を例示したものである。配線を流れる電流量は表示する画像のパターンを変えれば変動する。即ち、行配線、列配線の抵抗成分及び冷陰極型電子放出素子の電流電圧特性と表示する画像パターンから電圧降下量は一意に決まる。従って、これらのパラメータから電圧降下を補償する電圧値も求めることができる。つまり、各素子に所望の電流を流すためには各給電端子に印加すべき電圧値を入力画像に応じて補正すればよい。

【0134】例えば、電圧降下を補償する電圧は以下の【式1】で示す演算方法によって求められる。

【0135】行配線端子jに電圧E(j)を印加して1行同時駆動を行ない、第j行第i列の素子に画像信号の大きさに対応した、所望の電子放出量を与える素子電流I(i, j)を流したい場合を考える。ここで、素子(i, j)はI-V特性 $I = \psi_{i, j}(V)$ を持ち、行配線抵抗は $R_x(i, j)$ 、列配線抵抗は $R_y(i, j)$ とする。非選択時の素子特性を、線形抵抗 $R_0(i, j)$ で近似した場合、列配線端子iに印加すべき電圧 $V_i(j)$ は、

【0136】

【数2】

* i がオン (on) の時:

$$V_i(j) =$$

$$[1 + Y_{off}(i, j) - X_{off}(i, j)] E(j) + [1 + Y_{off}(i, j)] \phi^{-1} i, j (I_i(j)) + \sum B_{i, i'}(j) I_{i'}(j)$$

* i がオフ (off) の時:

$$V_i(j) = 0$$

ここで、

$$B_{i, i'}(j) \equiv \eta(i, j) \delta_{i, i'} + \xi(\min(i', i), j) \\ = \begin{cases} \eta \xi(i', j) & (i' < i) \\ \eta(i, j) + \xi(i, j) & (i' = i) \\ \xi(i, j) & (i' > i) \end{cases}$$

$$i'(j) \equiv \begin{cases} I(i', j) & (i' \text{ is on}) \\ 0 & (i' \text{ is off}) \end{cases}$$

$$X_{off}(i, j) = \sum_{i'} \frac{\text{off } \xi(\min(i', j), j)}{R_o(i', j)}$$

$$Y_{off}(i, j) = \sum_{j'} \frac{\text{off } \eta(\min(i', j), j)}{R_o(i, j')}$$

$$\xi(i, j) \equiv \sum_{i'=1} R_x(j', j)$$

$$\eta(i, j) \equiv \sum_{i'=1} R_y(i', j)$$

【式1】

である。

【0137】そして、行配線、列配線の取り出し抵抗 (給電端子と駆動回路の間の抵抗) がそれぞれ R_a 、 R_b で、各素子間の行配線、列配線抵抗がそれぞれ一定値 r_x 、 r_y である場合、

$$\xi(i, j) = R_a + i r_x$$

$$\eta(i, j) = R_b + j r_y$$

*となる。

40 【0138】また、線形抵抗 $R_o(i, j)$ が素子の選択時の抵抗に比べて大きいときは $Y_{off}(i, j)$ 、 $X_{off}(i, j)$ の項は無視できないので、 $V_i(j)$ は、
【0139】

【数3】

$$V_i(j) = \begin{cases} E(j) + \phi^{-1} i, j (I_i(j)) + \sum B_{i, i'}(j) I_{i'}(j) & (i \text{ がオン (on) の時}) \\ 0 & (i \text{ がオフ (off) の時}) \end{cases}$$

となる。

※場合 (素子に電流が流れている場合) の場合に焦点を当
【0140】更に、【式2】における、 i がオン (on) の※50 とすると、右辺第2項は素子に流そうとしている電流を与

31

える素子両端の電圧、第3項は配線抵抗に依存した成分であるが、 n 個の素子にそれぞれ電流 $I_1 \sim I_n$ を流そうとするときには、図33に示す行列式で表現できる。

【0141】図33に示す行列式の右辺第1項は、行配線素子抵抗の重みがかかった和に素子毎の電流値($I_1 \sim I_n$)を乗じたものである。また、右辺第2項は行配線取り出し抵抗 R_a に1行分の電流値の和($I_1 + I_2 + \dots + I_n$)を乗じたものである。更に、右辺第3項は素子毎の電流値($I_1 \sim I_n$)に列配線の取り出し抵抗を含めた電流を流す素子までの配線抵抗($R_b + j r_y$)を掛け

たものである。
【0142】このことは、前述の課題で説明した、素子印加電圧の降下分は、右辺第2項の表示画像の輝度値の和という平均的な情報による成分と、右辺第1項の表示画像の細かな違いによる成分等に分けて考えられるということである。従って、この式で行配線素子抵抗 r_x 、行配線取り出し抵抗 R_a 、列配線の取り出し抵抗 R_b の大小関係によっては幾つかの項が演算の際に省略できる。また素子の電流電圧特性が線型なものとして近似できるとき、もしくは、素子に流す電流レベルが素子毎に替わらない、すなわち表示装置の輝度を素子に流す電流の大きさでなく、素子からの電子の放出時間で制御するような場合には、第2項目の1ライン分の電流値の和は画像信号の和と一対一の関係がある。

【0143】従って、補正のための計算値はそれぞれ画像信号の総和、平均などの統計量に置き換えられる場合があるということである。

(電気回路の構成と動作)図34は、電気回路の構成を示した回路図である。図において、201は表示パネル、1701はデコーダ、1702はタイミング発生器、1703はサンプルホールド回路、1704はパラレルシリアル変換器、1705は演算回路、1708はシリアルパラレル変換器、1709は変調信号用ドライバー、1711は走査信号用ドライバーである。

【0144】表示パネル201の内部には、行列状に配列された複数の冷陰極素子が内蔵されている。Dx1-DxmとDy1-Dynは、それぞれマトリクス配線の m 本の行配線と n 本の列配線に付属する給電端子である。表示パネル201は、前記第1実施例で説明したものと同一のものを用いた。演算回路1705は、本発明の構成要素である統計量演算手段および補正值発生手段および合成手段を統合して実現した一例である。シリアルパラレル変換器1708および変調信号用ドライバー1709および走査信号用ドライバー1711は1行ずつ順次駆動するための手段の一例である。尚、本実施例は画像表示装置であるので、外部から入力される画像信号を電子線要求情報(各冷陰極素子に要求される電子線出力に関する情報)として用いている。

【0145】通常の画像表示動作は、まず、入力されたコンボジット映像信号をデコーダ1701で3原色の輝

32

度信号(R, G, B)及び水平同期信号(HSYNC)、垂直同期信号(VSYNC)に分離する。タイミング発生回路1702では、これらHSYNC、VSYNC信号に同期した各種タイミング信号を発生する。デコーダ1701より出力されるR, G, B輝度信号は、S/H回路(サンプルホールド回路)1703において適当なタイミングでサンプリングされ、保持される。このS/H回路1703に保持されたRGB信号は、パラレル・シリアル(P/S)変換部1704で、表示パネル201の画素配列に対応する順番に配列されたシリアル信号が生成される。次に、シリアル信号をもとに、演算回路1705が演算をおこない、電圧降下分を補償したシリアル信号を生成する。このシリアル信号は更に、シリアルパラレル変換回路1708により、1行毎のパラレル駆動信号に変換される。ドライバー1709は、この各補正電圧信号の強度に対応した電圧のドライブパルスを生じ、このパルスが表示パネル210に供給される。こうしてドライブパルスが供給された表示パネル201では、走査ドライバー1711が選択した行に接続され冷陰極素子のみが、供給された各パルス幅と電圧値に応じた期間だけ電子を放出する。これにより、その素子の上部に配置されている蛍光体に電子が衝突して発光する。走査ドライバー1711が行を順次選択することにより、1行分ずつ画像が順に表示されてゆく。

【0146】尚、この実施例に用いた冷陰極素子(即ち、表面伝導型放出素子)では、選択時の抵抗が $7K\Omega$ で、非選択時の抵抗が $1M\Omega$ であるため、前述の〔式2〕を用いることが出来る。従って、本実施例では演算回路1705は、図35にブロック図で示す演算回路で構成した。

【0147】図35において、入力された画像輝度信号 L は、ルックアップテーブル1801により、輝度 L を与える表面伝導型電子放出素子に流す電流に対応した信号 I に変換される。その信号 I は3つに分岐され、1つは第2のルックアップテーブル1802によって、電流 I を与える電圧に対応した信号 V に変換される。もう1つは乗算回路1804に入力され、列配線の抵抗成分 R_b との積がとられる。また、乗算回路1804には、走査線番号 j が入力され、素子抵抗への重み付けを行っている。組合わせ回路1803は、図36で示す様に、加算器1901、1903とF I L O (ファーストイン・ラストアウト)回路1902からなり、前述の図33の行列式の行配線抵抗に依存した項の計算が行われる。この組合わせ回路1803からは、1ライン分の電流の和信号と、図33の行列式の右辺第1項の行列演算により、 I の係数が n 個出力される。これら2つの出力のうち、 n 個の係数は r_x との積が乗算器1805によって行われる。また1行分の和信号は、乗算器1806により R_a との積が取られる。

【0148】第2のルックアップテーブル1802、乗

算器1804, 1805, 1806の各出力は、加算器1807で和がとられる。この和信号は前述の数2に対応した出力である。こうして、ドライバ回路1709によってデジタル信号からアナログ信号に変換され、このアナログ信号により表面伝導型電子放出素子がドライブされることにより、各表面伝導型電子放出素子にはI1～Inに対応した所望の電流が流れる。これにより、各素子における電子放出量が一樣になり、その放出される電子量に応じて、各素子に対応する蛍光体の発光量が均一になる。

【0149】なお、本実施例の表示装置は、テレビジョン装置や、計算機、画像メモリ、通信ネットワーク等、種々の画像信号源と直接或は間接に接続する表示装置に広く用いることが可能であり、とりわけ大容量の画像を表示する大画面の表示に好適である。

【0150】また人間が直視する用途だけに限られるものではなく、例えばいわゆる光レコーダの様に、光により記録媒体に光像を記録する装置の光源に応用しても差し支えない。本実施例によれば、前記図5A-図7Bで説明した従来の場合と比較して、所望の輝度と実際に表示された輝度とのずれを著しく低減する効果が得られた。その結果は、前記第2実施例において本実施例と同様の数式で補正値を決定した場合と同様であった。即ち、本実施例によれば、表示される輝度を従来と比較してはるかに正確にすることが可能であった。しかも、所望の表示パターンを変更しても、それによって生じる輝度の変動を小さくできる効果があった。しかも、異なる行の間のばらつきを大幅に低減することが可能となった。

【0151】尚、前記第2実施例では、いろいろな画像についての補正値を全てのメモリに記憶していたが、本実施例では演算器が補正値を計算するため、メモリの容量を大幅に節約できる利点がある。

【0152】(第4実施例)

<多機能表示装置の実施例>図37は、前記第1実施例-第3実施例の表示装置に、例えばテレビジョン(TV)放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。

【0153】図中、201はディスプレイパネル、2101はディスプレイパネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108及び2109及び2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112及び2113はTV信号受信回路、2114は入力部である。

【0154】尚、前記第1実施例-第3実施例の回路は、図37の駆動回路2101及びディスプレイパネル

201に含まれている。尚、本実施例の表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。

【0155】以下、画像信号の流れに沿って各部の機能を説明してゆく。

10 【0156】まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの処方式でもよい。また、これらより更に多数の走査線よりなるTV信号(例えば、MUSE方式をはじめとするいわゆる高品位TV)は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。

20 【0157】TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。このTV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

30 【0158】画像メモリインターフェース回路2110は、ビデオテープレコーダ(以下VTRと略す)に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ2104に出力される。

40 【0159】画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ2104に出力される。入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

50 【0160】画像生成回路2107は、入出力インター

フェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。この画像生成回路2107により生成された表示用画像データは、デ

コード2104に出力されるが、場合によっては入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

【0161】CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には、表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、フレーム周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。更に画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。尚、CPU2106は、もちろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良く、或は前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0162】入力部2114は、CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダ、音声認識装置など多様な入力機器を用いることが可能である。デコード2104は、2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号と1信号、Q信号に逆変換するための回路である。尚、同図中に点線で示すように、デコード2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107及びCPU2106と協働して画素の間引き、補間、拡大、縮小、合成等の

画像処理や編集が容易に行えるようになるという利点が生まれる。

【0163】マルチプレクサ2103は、CPU2106より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ2103はデコード2104から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路2101に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分け、領域によって異なる画像を表示することも可能である。ディスプレイパネルコントローラ2102は、CPU2106より入力される制御信号に基づき駆動回路2101の動作を制御する。

【0164】このディスプレイパネル201の基本的な動作にかかわるものとして、例えばディスプレイパネル201の駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路2101に対して出力する。また、ディスプレイパネル201の駆動方法に関わるものとして、例えば、フレーム周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路2101に対して出力する。また場合によっては、表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路2101に対して出力する場合もある。

【0165】駆動回路2101は、ディスプレイパネル201に印加する駆動信号を発生するための回路であり、前記マルチプレクサ2103から入力される画像信号と、前記ディスプレイパネルコントローラ2102より入力される制御信号に基づいて動作するものである。

【0166】以上、各部の機能を説明したが、図37に示した構成により、本実施例の表示装置において、多様な画像情報源より入力される画像情報をディスプレイパネル201に表示することができる。即ち、テレビジョン放送をはじめとする各種の画像信号はデコード2104において逆変換された後、マルチプレクサ2103において適宜選択され、駆動回路2101に入力される。一方、ディスプレイコントローラ2102は、表示する画像信号に応じて駆動回路2101の動作を制御するための制御信号を発生する。駆動回路2101は、上記画像信号と制御信号に基づいてディスプレイパネル201に駆動信号を印加する。これにより、ディスプレイパネル201において画像が表示される。これらの一連の動作は、CPU2106により統括的に制御される。

【0167】また、本実施例の表示装置においては、デコード2104に内蔵されている画像メモリや、画像生成回路2107及びCPU2106が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色

変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0168】従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像及び動画画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機

などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0169】尚、図37は、多機能表示装置の構成の一例を示したにすぎず、この構成に限定されるものではない。例えば、図37の構成要素のうち、使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加する

のが好適である。

【0170】尚、本発明に係る広い範囲での異なる実施例が多く存在するために、本発明のスコープが具体的実施例に制限されるものではないことを留意されたい。さらに、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0171】

【発明の効果】以上説明したように本発明によれば、マトリクス配線した冷陰極素子を備えたマルチ電子ビーム源から正確な強度の電子ビームを出力することができ、また、そのマルチ電子ビーム源を備える画像表示装置は、表示輝度のずれが防止された安定した画像を形成できる。

【図面の簡単な説明】

【図1】従来の表面伝導型電子放出素子を示す平面図である。

【図2】従来のFE型電子放出素子を示す断面図である。

【図3】従来のMIM型電子放出素子を示す断面図である。

【図4】 $m \times n$ 個の電子放出素子をマトリクス配線する方法を示す図である。

【図5A】1行分(n 個)の画素に対する所望の輝度の一例を示す図である。

【図5B】図5Aのパターンを表示した際に従来発生していた輝度のずれを示す図である。

【図6A】1行分(n 個)の画素に対する所望の輝度の

他の一例を示す図である。

【図6B】図6Aのパターンを表示した際に従来発生していた輝度のずれを示す図である。

【図7A】1行分(n 個)の画素に対する所望の輝度の他の一例を示す図である。

【図7B】図7Aのパターンを表示した際に従来発生していた輝度のずれを示す図である。

【図8】本発明の第1実施例の回路構成を示す図である。

【図9A】補正率を算出する過程を説明するためのグラフ図である。

【図9B】補正率を算出する過程を説明するためのグラフ図である。

【図9C】補正率を算出する過程を説明するためのグラフ図である。

【図10A】補正率を算出する過程を説明するためのグラフ図である。

【図10B】補正率を算出する過程を説明するためのグラフ図である。

【図10C】補正率を算出する過程を説明するためのグラフ図である。

【図11A】変調信号の電圧波形を説明するためのグラフ図である。

【図11B】変調信号の電圧波形を説明するためのグラフ図である。

【図12A】本発明を実施した他の電子線発生装置の給電端子の配置を示す図である。

【図12B】本発明を実施した他の電子線発生装置の給電端子の配置を示す図である。

【図13A】1行分(n 個)の画素に対する所望の輝度の一例を示す図である。

【図13B】図13Aのパターンを第1実施例で表示した際の輝度を示す図である。

【図14A】1行分(n 個)の画素に対する所望の輝度の他の一例を示す図である。

【図14B】図14Aのパターンを第1実施例で表示した際の輝度を示す図である。

【図15A】1行分(n 個)の画素に対する所望の輝度の他の一例を示す図である。

【図15B】図15Aのパターンを第1実施例で表示した際の輝度を示す図である。

【図16】本発明の実施例である画像表示装置の表示パネルの一部を切り欠いて示した概観斜視図である。

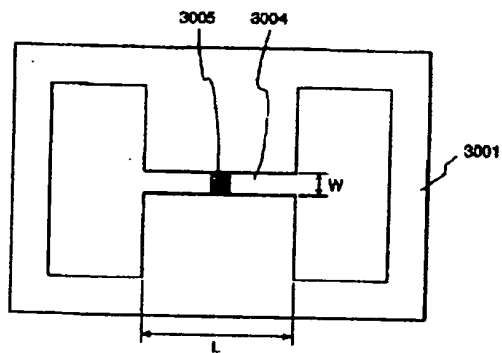
【図17A】表示パネルのフェースプレート蛍光体配列を例示した平面図である。

【図17B】表示パネルのフェースプレート蛍光体配列を例示した平面図である。

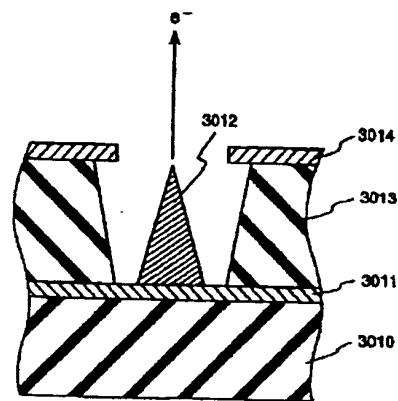
【図18A】本実施例で用いた平面型の表面伝導型放出素子の平面図である。

【図18B】本実施例で用いた平面型の表面伝導型放出

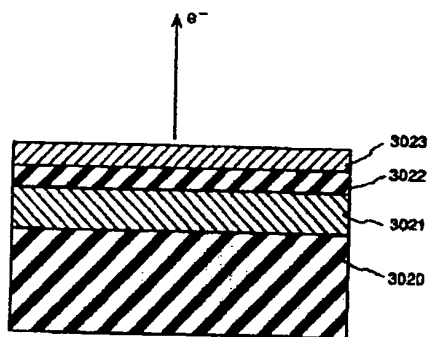
【図1】



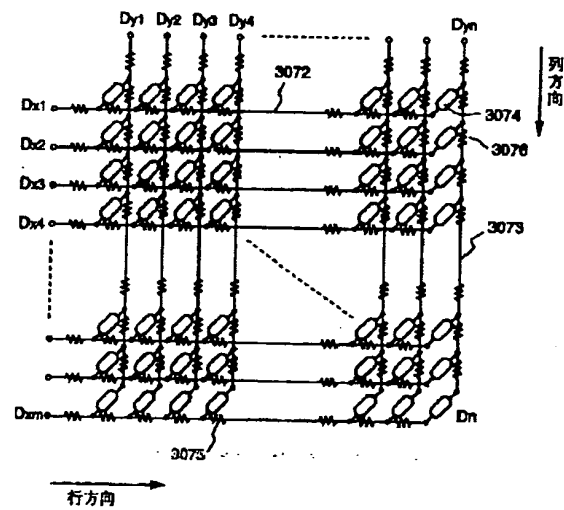
【図2】



【図3】



【図4】



【図6A】

(所望の輝度) 0 0 0 0 0 255 255 255 255 255

【図6B】

(表示された輝度) 0 0 0 0 0 251 248 247 248 245
P

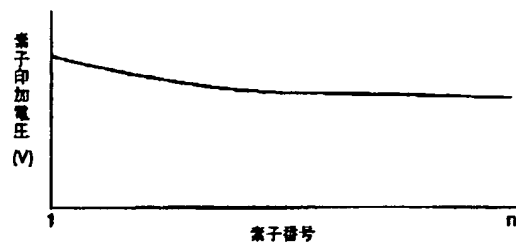
【図7A】

(所望の輝度) 255 255 255 255 255 255 255 255 255 255

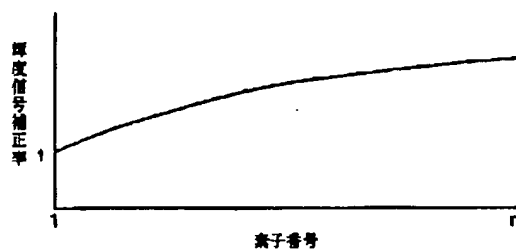
【図7B】

(表示された輝度) 247 242 238 235 233 232 231 230 228 228
P

【图9A】

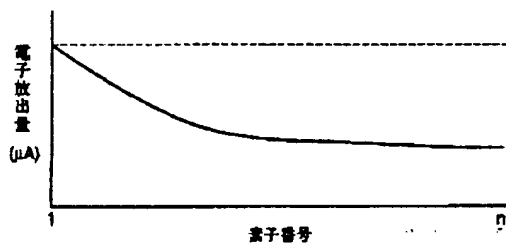


【図9C】



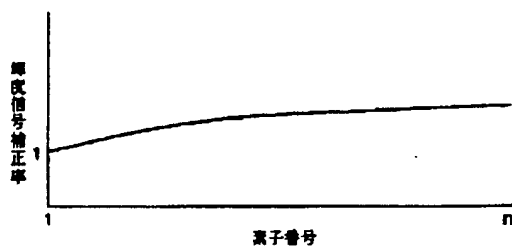
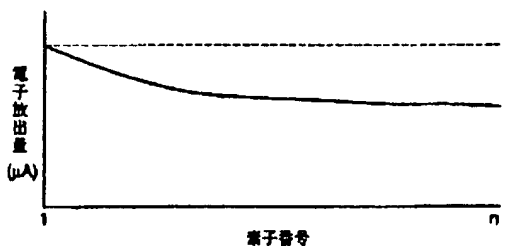
【☒ 10A】

Figure 1 is a line graph showing the relationship between the number of samples (n) and the voltage added to the sample (V). The y-axis is labeled "電子印加電圧 (V)" and the x-axis is labeled "電子番号". The curve starts at a high voltage for n=1 and decreases as n increases, approaching a constant value.



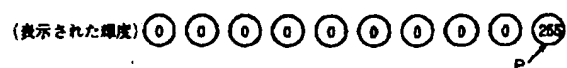
【図10B】

【図10C】

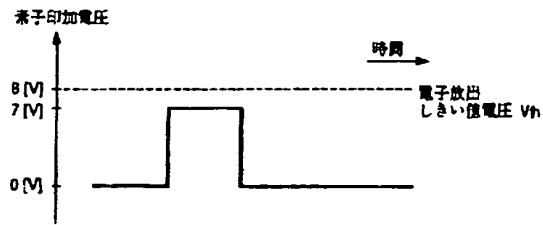


【図13A】

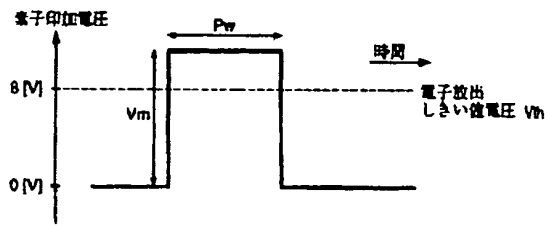
【図13B】



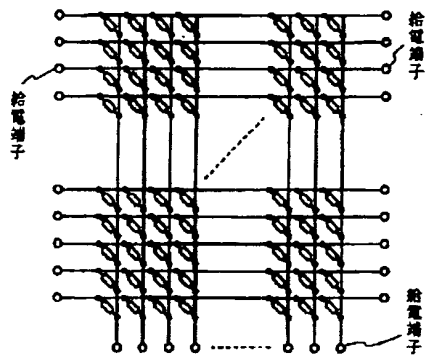
【図11A】



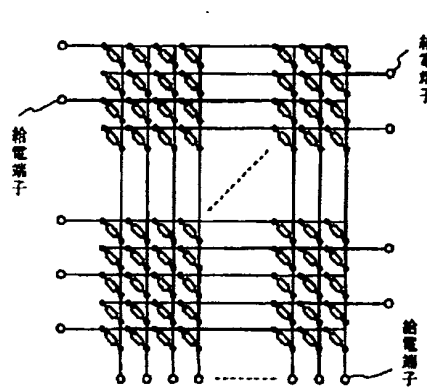
【図11B】



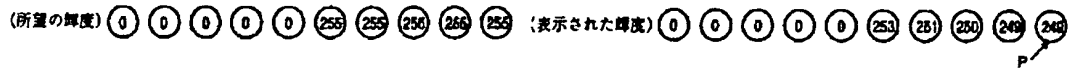
【図12A】



【図12B】

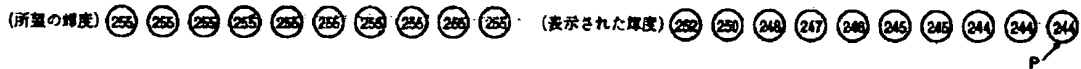


【図14A】



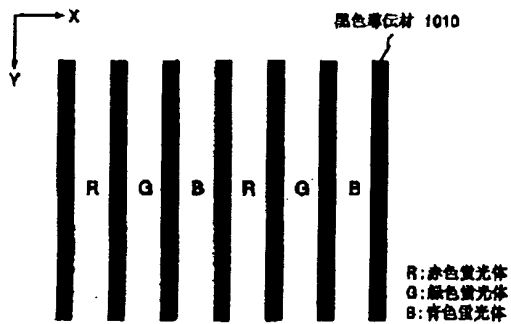
【図14B】

【図15A】

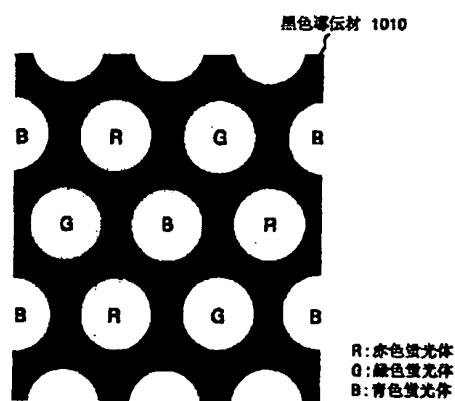


【図15B】

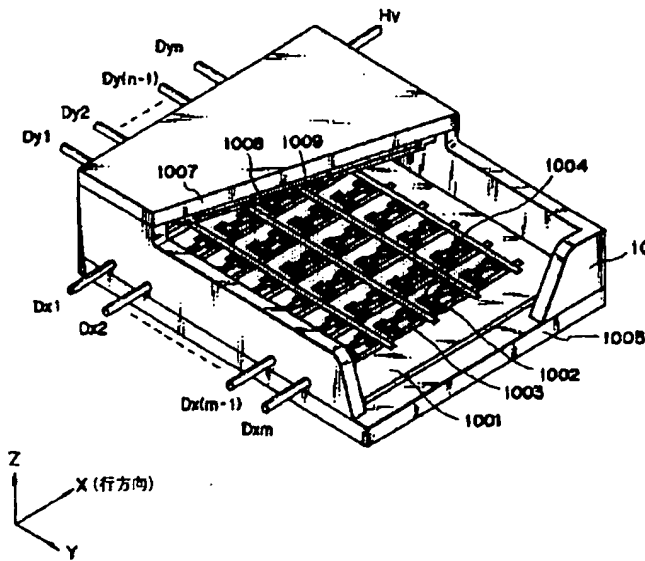
【図17A】



【図17B】



【図16】



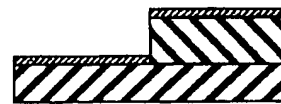
【図19A】



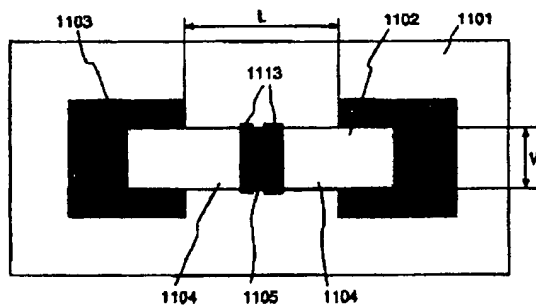
【図23B】



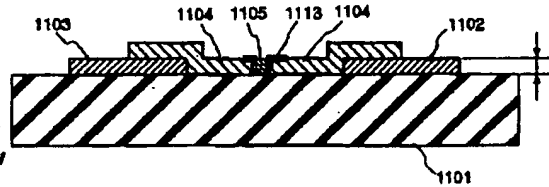
【図23D】



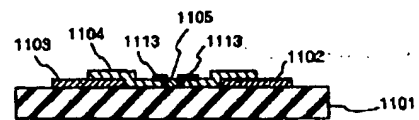
【図18A】



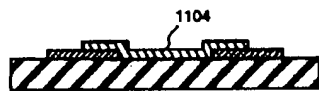
【図18B】



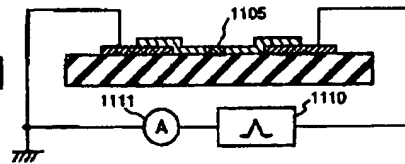
【図19E】



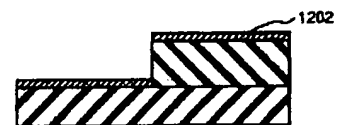
【図19B】



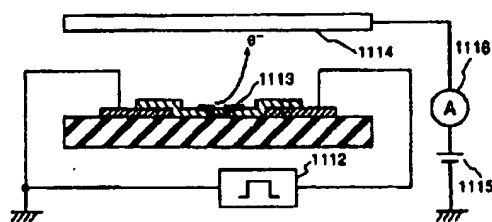
【図19C】



【図23C】



【図19D】



【図23A】



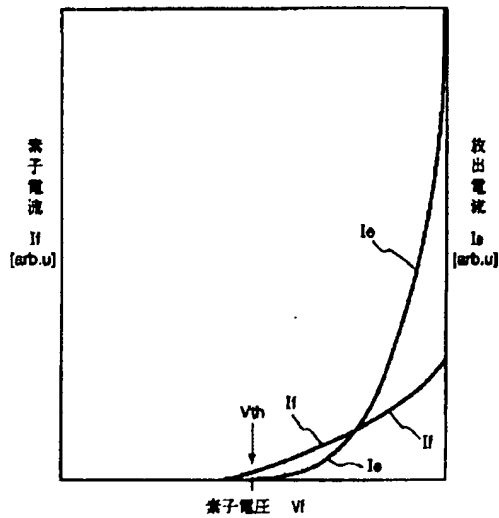
【図23E】



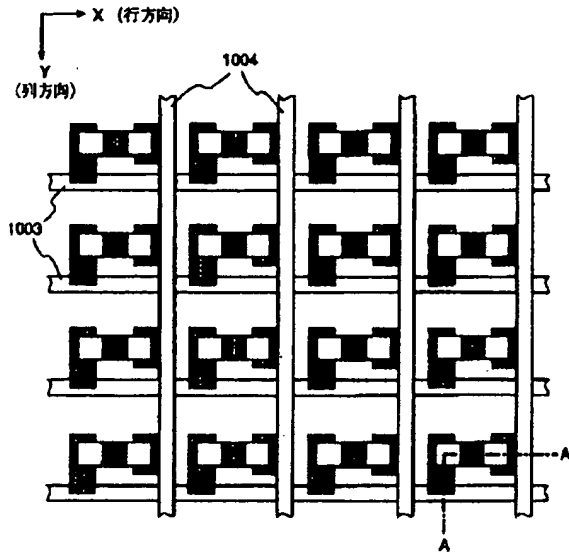
A cross-sectional view of a semiconductor device. It shows a substrate 1201 with diagonal hatching. On top of the substrate is a first conductive layer 1202, also with diagonal hatching. Above the first conductive layer is a second conductive layer 1203, which is thinner and has a different hatching pattern. On top of the second conductive layer is a third conductive layer 1204, which is the thinnest and has a different hatching pattern.

行方向
 1 2 3 4 0 0 0 0 0 0 0
 (所望の輝度) 0 0 0 0 0 0 0 0 0 0 0

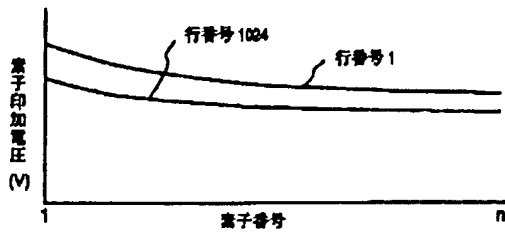
【図24】



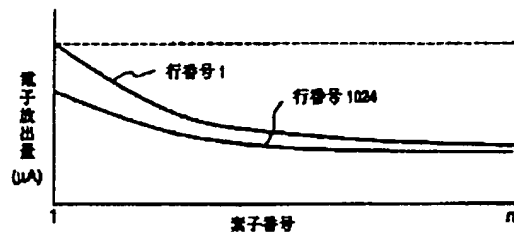
【図25】



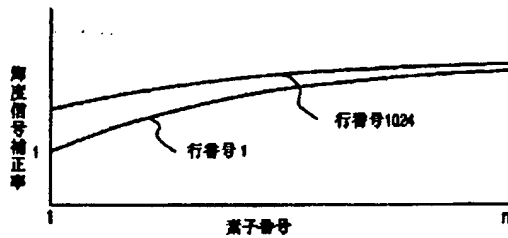
【図28A】



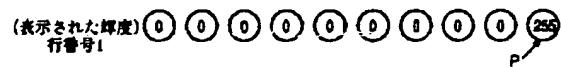
【図28B】



【図28C】



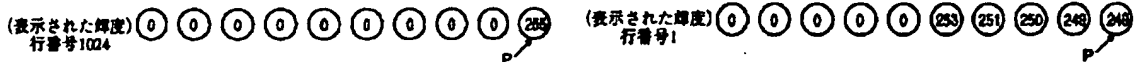
【図29B】



【図30A】



【図30B】



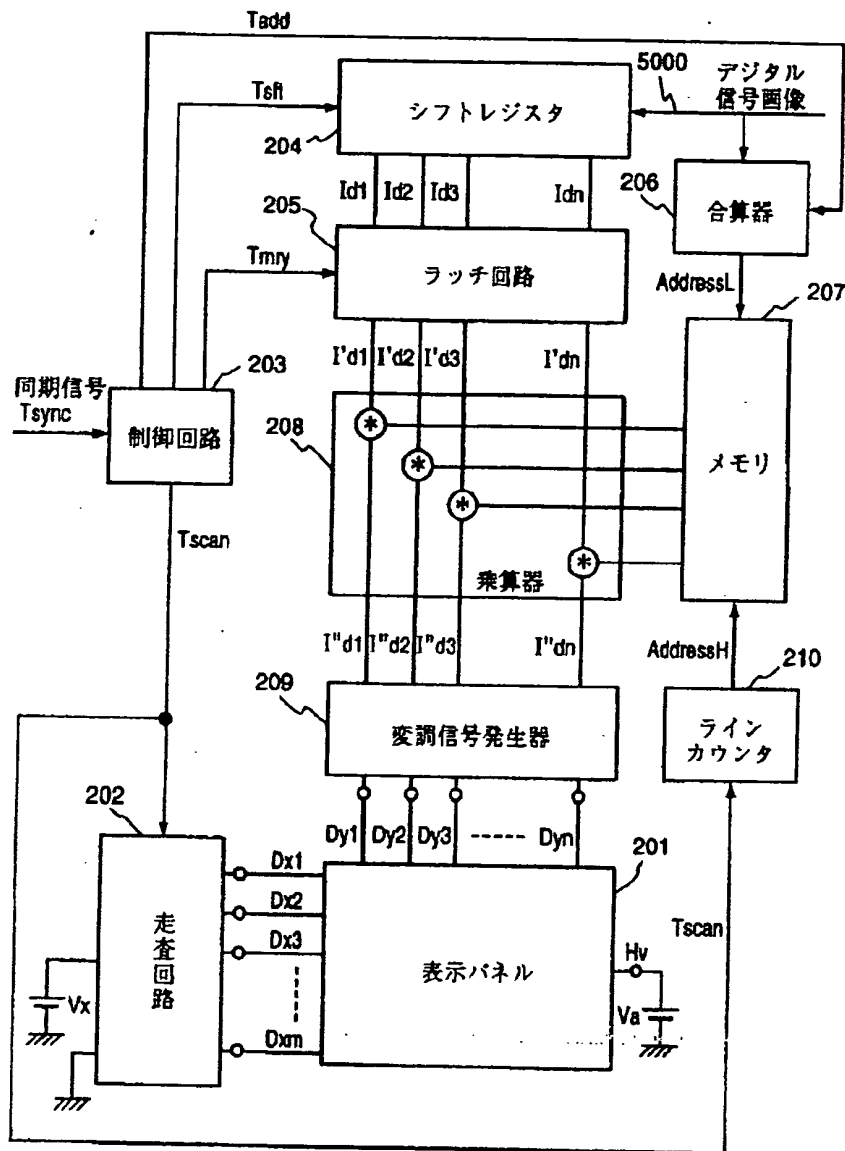
【図30C】



【図31A】



【図27】



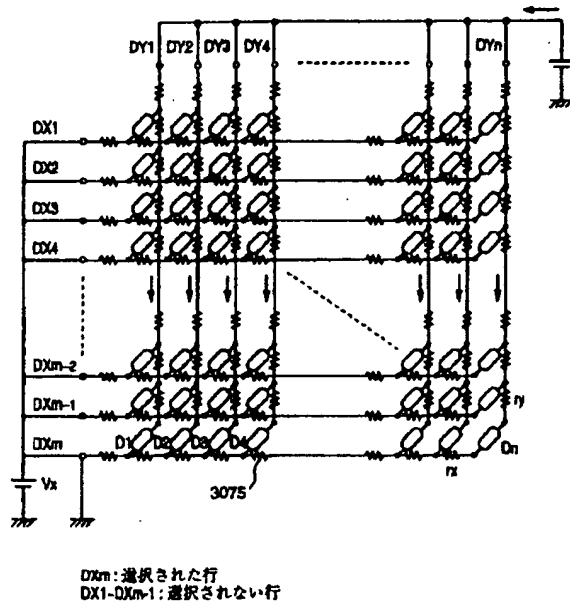
【図31B】

(表示された輝度) (252) (250) (248) (247) (246) (245) (243) (244) (244) (244)
行番号1

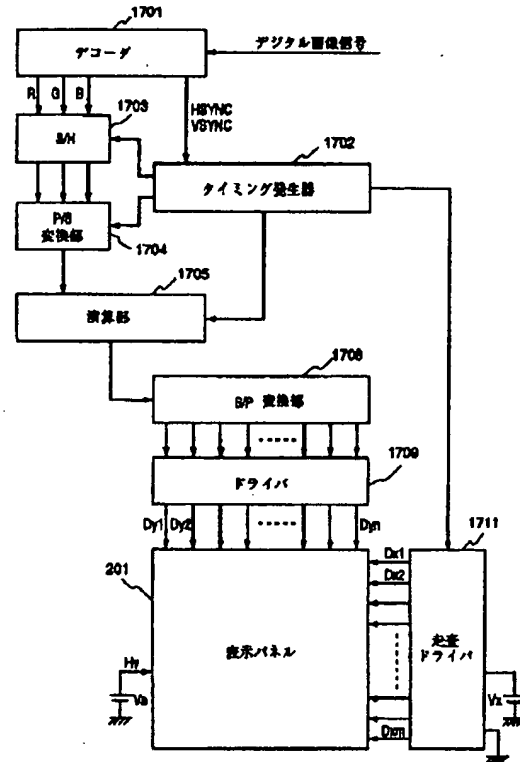
【図31C】

(表示された輝度) (252) (250) (248) (247) (246) (245) (243) (244) (244) (244)
行番号1024

【図32】



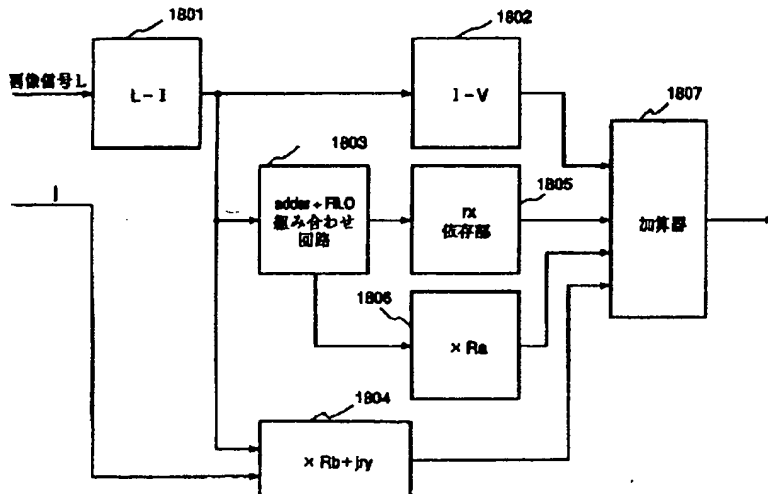
【図34】



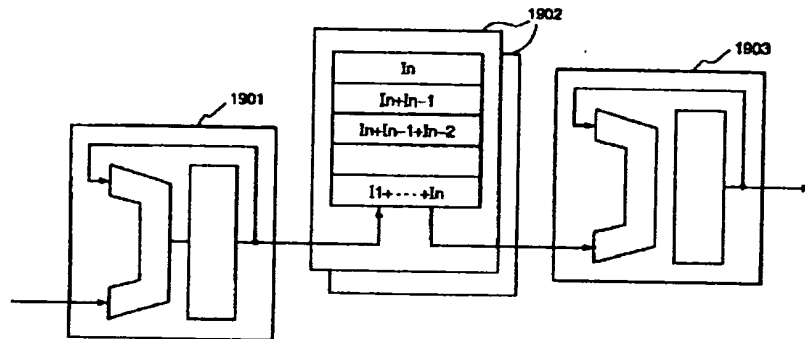
【図33】

$$\begin{bmatrix} V1 \\ V2 \\ V3 \\ \vdots \\ Vn \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & 1 & \dots & 1 \\ 1 & 2 & 2 & 2 & \dots & 2 \\ 1 & 2 & 3 & 3 & \dots & 3 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 1 & 2 & 3 & 4 & \dots & n \end{bmatrix} \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix} + Rn = (I1 + I2 + \dots + In) \cdot \begin{bmatrix} 1 \\ 1 \\ 1 \\ \vdots \\ 1 \end{bmatrix} + (Rb + Ry) \cdot \begin{bmatrix} I1 \\ I2 \\ I3 \\ \vdots \\ In \end{bmatrix}$$

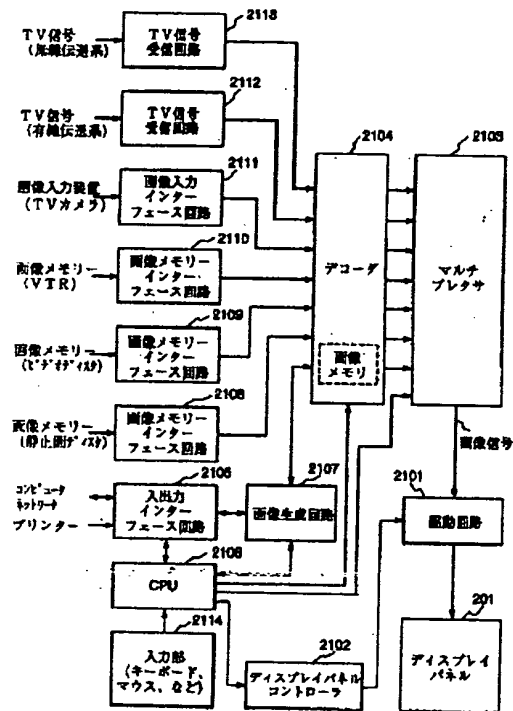
【図35】



【図36】



【図37】



フロントページの続き

(72)発明者 山野 明彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内